

KR04/1747



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

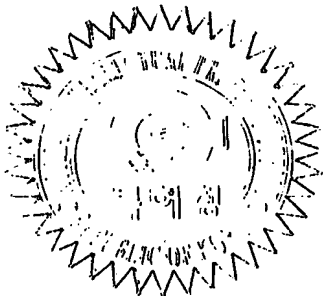
출원 번호 : 10-2003-0047756
Application Number

REC'D 02 AUG 2004

WIPO PCT

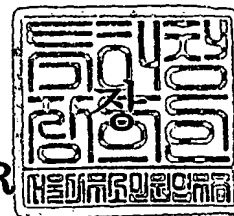
출원 년 월 일 : 2003년 07월 14일
Date of Application JUL 14, 2003

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 07 월 07 일

특 허 청
COMMISSIONER



**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)

【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.07.14
【발명의 명칭】	박막 트랜지스터 표시판
【발명의 영문명칭】	THIN FILM TRANSISTOR ARRAY PANEL
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	김원근 , 박종하
【포괄위임등록번호】	2002-036528-9
【발명자】	
【성명의 국문표기】	강승재
【성명의 영문표기】	KANG, SEUNG JAE
【주민등록번호】	700406-1106411
【우편번호】	442-400
【주소】	경기도 수원시 팔달구 망포동 693 망포마을 현대아이파크 106동 1103 호
【국적】	KR
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	13 면 13,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	42,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명에 따른 박막 트랜지스터 표시판은 서로 이웃하는 화소 행에 게이트 신호를 전달하며, 서로 인접하여 배치되어 있는 제1 및 제2 게이트선, 제1 및 제2 게이트선과 절연되어 교차하는 데이터선, 제1 게이트선 및 데이터선과 연결되어 있으며, 제2 게이트선과 중첩하는 제1 드레인 전극을 가지는 제1 박막 트랜지스터, 제2 게이트선 및 데이터선과 연결되어 있으며, 데이터선을 중심으로 제1 박막 트랜지스터의 반대편에 형성되어 있고, 제1 게이트선과 중첩하는 제2 드레인 전극을 가지는 제2 박막 트랜지스터, 제1 드레인 전극과 연결되며 제2 게이트선과 중첩하는 제1 화소 전극, 제2 드레인 전극과 연결되며 제1 게이트선과 중첩하는 제2 화소 전극을 포함한다.

【대표도】

도 1

【색인어】

박막트랜지스터, 개구율

【명세서】

【발명의 명칭】

박막 트랜지스터 표시판{THIN FILM TRANSISTOR ARRAY PANEL}

【도면의 간단한 설명】

도 1은 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,

도 2는 도 1의 II-II'선을 따라 절단한 단면도이고,

도 3a, 도 4a, 도 5a, 도 6a, 도 7a는 도 1 및 도 2에 도시한 실시예에 따른 박막 트랜지스터 표시판을 제조하는 방법 중 중간 단계에서의 배치도이고,

도 3b는 도 3a의 IIIb-IIIb'선을 따라 자른 단면도이고,

도 4b는 도 3b의 다음 단계에서의 단면도이고,

도 5b는 도 4b의 다음 단계에서의 단면도이고,

도 6b는 도 5b의 다음 단계에서의 단면도이고,

도 7b는 도 6b의 다음 단계에서의 단면도이고,

도 8은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고,

도 9는 도 8의 IX-IX'선을 따라 절단한 단면도이고,

도 10은 도 8 및 도 9에 도시한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법 중 중간 단계에서의 단면도이고,

도 11은 도 10의 다음 단계에서의 단면도이고,

도 12a는 도 11의 다음 단계에서의 배치도이고,

도 12b는 도 12a의 XIIb-XIIb'선을 따라 자른 단면도이고,

도 13a는 도 12a의 다음 단계에서의 배치도이고,

도 13b는 도 13a의 XIIIb-XIIIb'선을 따라 자른 단면도이다.

※도면의 주요 부분에 대한 부호의 설명※

110 : 절연 기판	121a, 121b : 게이트선
124a, 124b : 게이트 전극	140 : 게이트 절연막
151, 154 : 반도체층	161, 165 : 저항성 접촉층
171 : 데이터선	173a, 173b : 소스 전극
175a, 175b : 드레인 전극	190 : 화소 전극

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

23> 본 발명은 박막 트랜지스터 표시판에 관한 것이다.

24> 액정 표시 장치는 일반적으로 공통 전극이 형성되어 있는 상부 표시판과 화소 전극이 형성되어 있는 하부 표시판 사이에 액정 물질을 주입해 놓고 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 전계를 형성하여 액정 분자들의 배열을 변경시키고, 이를 통해 빛의 투과율을 조절함으로써 화상을 표현하는 장치이다.

25> 여기서 하부 표시판은 주사 신호를 전달하는 주사 신호선 또는 게이트선과 화상 신호를 전달하는 화상 신호선 또는 데이터선, 각각의 화소에 있는 게이트선 및 데이터선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극으로 이루어진다.

- <26> 이러한 액정 표시 장치의 개구율을 증가시키기 위해서 하부 표시판에 포함되어 있는 보호막을 유전 상수가 적은 유기 물질로 형성한다. 즉, 유기 물질로 이루어진 보호막을 화소 전극과 게이트선 및 데이터선 사이에 형성하고, 화소 전극을 데이터선 및 게이트선과 중첩시켜 배치함으로써 화소의 개구율을 향상시킬 수 있다.
- <27> 그러나 데이터선과 화소 전극이 가까워지면 이들 사이에 커플링 현상이 발생하여 화질 저하 등의 문제점이 나타난다. 이러한 문제점을 해결하기 위해서는 커플링 현상을 최소화해야 하며, 이를 위하여 유기막의 두께를 두껍게 형성하였다.
- <28> 하지만, 접촉 신뢰성을 확보하기 위해서 유기막을 두껍게 형성하는 경우에는 유기막의 두꺼운 두께 때문에 유기막에 형성되는 접촉구를 넓게 형성하고, 접촉구 내벽도 완만한 경사를 이루도록 형성하기 때문에 화소의 개구율이 감소한다.
- <29> 또한, 화소의 유지 용량(storage capacitor)을 형성하기 위해서 전단 게이트 방식, 독립 배선 방식으로 유지 축전기를 형성하고 있다. 이중, 전단 게이트 방식은 게이트선의 일부분을 확대 형성하고 이 확대된 부분과 중첩하며 화소 전극 연결되는 도전체 패턴을 별도로 형성하여 유지 용량을 형성하는 방식이다. 그리고 독립 배선 방식은 게이트선과 나란한 배선을 형성한 후 드레인 전극과 중첩하여 유지 용량을 형성하는 방식이다.
- <30> 그러나, 유지 용량을 충분히 확보하기 위해서는 배선의 일부를 확대하거나 별도의 배선을 추가해야 하므로 화소 영역의 개구율을 감소시킨다.

【발명이 이루고자 하는 기술적 과제】

- <31> 본 발명이 이루고자 하는 기술적 과제는 높은 휘도를 얻기 위해 개구율을 확보하면서 유지 용량을 충분히 형성할 수 있는 박막 트랜지스터 표시판을 제공하는 것이다.

【발명의 구성 및 작용】

- <32> 이러한 과제를 해결하기 위하여 본 발명에서는 다음과 같은 박막 트랜지스터 표시판을 마련한다.
- <33> 구체적으로는 서로 이웃하는 화소 행에 게이트 신호를 전달하며, 서로 인접하여 배치되어 있는 제1 및 제2 게이트선, 제1 및 제2 게이트선과 절연되어 교차하는 데이터선, 제1 게이트선 및 데이터선과 연결되어 있으며, 제2 게이트선과 중첩하는 제1 드레인 전극을 가지는 제1 박막 트랜지스터, 제2 게이트선 및 데이터선과 연결되어 있으며, 데이터선을 중심으로 제1 박막 트랜지스터의 반대편에 형성되어 있고, 제1 게이트선과 중첩하는 제2 드레인 전극을 가지는 제2 박막 트랜지스터, 제1 드레인 전극과 연결되며 제2 게이트선과 중첩하는 제1 화소 전극, 제2 드레인 전극과 연결되며 제1 게이트선과 중첩하는 제2 화소 전극을 포함한다.
- <34> 여기서 데이터선과 게이트선이 교차하여 정의하는 화소 영역에 형성되어 있는 적, 녹, 청색 색 필터를 더 포함하는 것이 바람직하다.
- <35> 이때, 제1 및 제2 박막 트랜지스터는 제1 및 제2 게이트선과 각각 연결되어 있는 제1 및 제2 게이트 전극, 제1 및 제2 게이트 전극과 각각 중첩하는 제1 및 제2 반도체층, 데이터선과 연결되며 제1 및 제2 반도체층과 적어도 일부분이 각각 중첩하는 제1 소스 전극 및 제2 소스 전극을 가지는 것이 바람직하다.
- <36> 그리고 박막 트랜지스터와 제1 및 제2 화소 전극 사이에 유기 물질로 형성되어 있는 보호막을 더 포함하는 것이 바람직하다. 이때, 제1 화소 전극은 제1 게이트선과 중첩하지 않고, 제2 화소 전극은 제2 게이트선과 중첩하지 않는 것이 바람직하다.
- <37> 또한, 제1 및 제2 화소 전극은 데이터선과 중첩하여 형성되어 있는 것이 바람직하다.

- <38> 이하 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- <39> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 '위에' 있다고 할 때, 이는 다른 부분 '바로 위에' 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 '바로 위에' 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- <40> 이하 첨부한 도면을 참조하여 본 발명의 실시예에 따른 박막 트랜지스터 표시판 및 그 제조 방법에 대해서 좀 더 구체적으로 설명한다.
- <41> 도 1은 본 발명의 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 2는 도 1의 II-II' 선을 따라 절단한 단면도이다.
- <42> 먼저, 도 1 및 도 2를 참고로 하여 본 발명의 실시예에 따른 액정 표시 장치용 박막 트랜지스터 표시판의 구조에 대하여 상세히 설명한다.
- <43> 본 발명의 실시예에 따른 박막 트랜지스터 표시판에는 투명한 절연 기판(110) 위에 일 방향(화소의 행 방향)으로 긴 제1 및 제2 게이트선(121a, 121b)이 인접하여 형성되어 있다. 제1 및 제2 게이트선(121a, 121b)의 일부분은 각각 박막 트랜지스터의 제1 및 제2 게이트 전극(124a, 124b)으로 사용된다. 제1 및 제2 게이트선(121a, 121b)의 한쪽 끝부분(129)은 게이트 구동 회로(도시하지 않음)로부터 전달되는 신호를 전달 받기 위해 사용되며 제1 및 제2 게이트선(121a, 121b) 폭보다 넓은 폭을 가질 수 있다.

- 44> 그리고 게이트선(121a, 121b)과 나란한 차광 패턴(220)이 더 형성되어 있다. 차광 패턴(220)은 게이트선과 게이트선 사이에 위치하는 화소 전극(190)의 가장 자리에서 누설되는 빛을 방지하기 위한 것이다. 따라서 상부 표시판의 블랙 매트릭스(도시하지 않음)에 의해 충분히 누설되는 빛을 가릴 경우에는 형성하지 않는다.
- 45> 기판(110) 위에는 이들(121a, 121b, 124a, 124b, 220)을 덮으며 질화 규소 또는 산화 규소 등으로 이루어진 게이트 절연막(140)이 형성되어 있다.
- 46> 게이트 절연막(140)의 소정 영역에는 불순물이 도핑되지 않은 비정질 규소로 이루어진 반도체층(151, 154)이 형성되어 있다. 반도체층(151, 154)은 후술하는 데이터선(171) 아래에 데이터선(171)을 따라 뻗어 선형으로 이루어져 있으며, 선형부의 돌출된 형태(154)로 후술하는 드레인 전극(175a, 175b)의 아래에까지 확대 형성되어 있다.
- 47> 그리고 반도체층(154)의 상부에는 불순물로 도핑되어 있는 비정질 규소 또는 실리사이드를 포함하는 저항성 접촉층(161, 165)이 형성되어 있다. 저항성 접촉층(161, 165)은 반도체층(151, 154)과 함께 데이터선(171)을 따라 뻗어 있는 선형부(161)와 게이트 전극(124a, 124b)을 중심으로 선형부(161)의 일부와 마주하는 섬형부(165)로 이루어진다. 섬형부(165)는 선형부(161)로부터 일정거리 떨어져 형성되어 있으며, 이들은 반도체층(154)의 소정 영역을 제외하고 저항성 접촉층(161, 165)과 동일한 평면 패턴을 가진다. 반도체층(154)의 소정 영역은 박막 트랜지스터의 채널을 형성하는 채널부이다.
- 48> 게이트 절연막(140) 및 선형부 저항성 접촉층(161) 위에는 게이트선(121a, 121b)과 교차하여 화소 영역을 정의하는 데이터선(171)이 형성되어 있다. 데이터선(171)은 분지형으로 형성되며 박막 트랜지스터의 반도체층(154)과 적어도 일부분이 중첩하는 제1 및 제2 소스 전극(173a, 175b)을 가진다. 제1 및 제2 소스 전극(173a, 173b)은 데이터선(171)을 중심으로 좌우에 형성

49> 데이터선의 한 쪽 끝부분(179)은 데이터 구동 회로(도시하지 않음)로부터 전달되는 신호를 전달받기 위해서 데이터선(171) 폭 보다 넓게 형성되어 있다.

51> 드레인 전극(175a, 175b) 및 소스 전극(173a, 173b)으로 가려지지 않는 반도체층(151)의 상부에는 산화 규소 또는 질화 규소 등의 절연 물질로 형성되어 있는 보호막(180p)이 형성되어 있다. 보호막(180p)은 드러난 반도체층(154)을 보호하고, 후술하는 색필터(230R, 230G, 230B)로부터 안료가 색필터(230R, 230G, 230B)와 접촉하는 층으로 확산되는 것을 방지하기 위한 것이다. 이때, 보호막(180p)은 색필터(230R, 230G, 230B)를 형성할 때 필수적인 것은 아니며 필요에 따라 선택한다.

53> 여기서, 적, 녹, 청색 색필터(230R, 230G, 230B)는 외부 회로와 접합되는 게이트선(121) 또는 데이터선(171)의 끝부분(179)에는 형성되지 않는다. 그리고 이들(230R, 230G, 230B)의 가장자

- <58> 접촉 보조 부재(82)는 외부 회로 장치와의 접촉성을 보완하고 끝부분을 보호하는 역할을 하는 것으로 필수적인 것은 아니며, 이들의 적용 여부는 선택적이다.
- <59> 이처럼 제1 드레인 전극(175a)과 연결되어 있는 제1 화소 전극(190a)을 제2 게이트선(121b)과 중첩하여 형성하면, 제1 게이트선(121a)에 온(Von) 신호가 인가될 때 제2 게이트선(121b)에는 오프(Voff)신호가 입력되도록 하여 제2 게이트선(121b)은 제1 드레인 전극(175a)과 유지 축전기를 형성하는 유지 전극선으로 사용한다. 반대로 제2 게이트선(121b)에 온 신호가 인가될 때 제1 게이트선(121a)에는 오프 신호가 입력되도록 하여 제1 게이트선(121b)은 제2 드레인 전극(190b)과 유지 축전기(storage capacitor)를 형성하는 유지 전극선(storage line)으로 사용한다. 즉, 제1 게이트선(121a)에 온 신호를 입력하고, 제2 게이트선(121b)에 오프 신호를 입력될 때는 데이터선(171)의 오른쪽에 있는 박막 트랜지스터가 온 되고, 데이터선(171)의 왼쪽에 있는 박막 트랜지스터는 오프 된다. 게이트선(121a, 121b)에 반대의 신호가 입력되면 박막 트랜지스터도 반대로 온/오프가 이루어진다.
- <60> 이와 같이 별도의 유지 전극선이나 유지 전극을 형성하지 않고도 충분한 유지 용량을 얻을 수 있으므로 이들의 형성에 의한 개구율의 감소가 없다.
- <61> 그러면, 기술한 액정 표시 장치용 박막 트랜지스터 표시판의 제조 방법에 대하여 도 3a 내지 8b와 앞서의 도 1 및 도 2를 참고로 하여 상세히 설명한다.
- <62> 도 3a, 도 4a, 도 5a, 도 6a, 도 7a는 도 1 및 도 2에 도시한 실시예에 따른 박막 트랜지스터 표시판을 제조하는 방법 중 중간 단계에서의 배치도이고, 도 3b는 도 3a의 IIIb-IIIb'선을 따라 자른 단면도이고, 도 4b는 도 3b의 다음 단계에서의 단면도이고, 도 5b는 도 4b의 다음 단계에서의 단면도이고, 도 6b는 도 5b의 다음 단계에서의 단면도이고, 도 7b는 도 6b의 다음 단계에서의 단면도이다.

67> 이후 도 6a 내지 도 6b에 도시한 바와 같이, 이후 보호막(180p) 위에 적, 녹, 청색 안료를 포함하는 감광성 유기 물질을 각각 차례로 도포하고 마스크를 통한 사진 공정을 통하여 적, 녹,

청색 색필터(230,R, 230G, 230B)를 차례로 형성한다. 이때, 드레인 전극(175a, 175b)을 노출하는 개구부(235)를 형성한다.

68> 그리고 도 7a 및 도 7b에 도시한 바와 같이, 기판(110) 전면에 저유전율을 가지는 유기 물질을 도포하여 층간 절연막(180g)을 형성한다.

69> 이후 보호막(180g)을 마스크를 이용한 사진 식각 공정으로 식각하여 개구부(235)를 노출하는 접촉구(185) 및 데이터선(171)의 한쪽 끝부분(179)을 노출하는 접촉구(182)를 형성한다.

70> 감광성 유기 물질을 이용하여 보호막(180g)을 형성할 때는 감광막 패턴을 형성하는 공정이 생략되어 공정이 간소화된다.

71> 이후 도 1 및 도 2에서 보는 바와 같이, 기판(110)에 ITO(indium tin oxide) 또는 IZO(indium zinc oxide) 등의 투명한 도전 물질을 증착하고, 마스크를 이용한 사진 식각 공정으로 식각하여 개구부(235) 및 접촉구(185a, 185b)를 통해 드레인 전극(175a, 175b)과 연결되는 화소 전극(190a, 190b), 접촉구(182)를 통해 데이터선의 한쪽 끝부분(179)과 연결되는 접촉 보조 부재(82)를 형성한다.

72> 이상의 실시예에 따른 박막 트랜지스터 표시판은 색필터를 제외한 각각의 박막을 서로 다른 감광막 패턴을 식각 마스크로 이용한 사진 식각 공정으로 제조할 수 있는데, 박막 트랜지스터 표시판은 다른 실시예에 따른 제조 방법을 통하여 완성될 수 있다. 이때, 박막 트랜지스터 표시판은 앞의 실시예와 다른 구조를 가지는데, 이에 대하여 도면을 참조하여 구체적으로 설명하기로 한다.

73> 도 8은 본 발명의 다른 실시예에 따른 박막 트랜지스터 표시판의 배치도이고, 도 9는 도 8의 IX-IX'선을 따라 절단한 단면도이고, 도 10은 도 8 및 도 9에 도시한 실시예에 따른 박막 트랜

지스터 표시판의 제조 방법 중 중간 단계에서의 단면도이고, 도 11은 도 10의 다음 단계에서의 단면도이고, 도 12a는 도 11의 다음 단계에서의 배치도이고, 도 12b는 도 12a의 XIIb-XIIb'선을 따라 자른 단면도이고, 도 13a는 도 12a의 다음 단계에서의 배치도이고, 도 13b는 도 13a의 XIIIb-XIIIb'선을 따라 자른 단면도이다.

- 74> 먼저, 도 8 및 도 9를 참조하여 완성된 박막 트랜지스터 표시판의 구조에 대하여 구체적으로 설명하기로 한다.
- 75> 도 8 및 도 9에 도시한 바와 같이, 본 발명의 실시예에 따른 박막 트랜지스터 표시판은 색필터를 박막 트랜지스터 표시판과 함께 형성하지 않은 경우로, 이를 제외하고 대부분의 단층 구조는 도 1 및 도 2와 동일하다. 즉, 절연 기판(110) 위에 게이트선(121a, 121b)이 형성되어 있고, 게이트선(121a, 121b)을 덮도록 게이트 절연막(140)이 형성되며, 게이트 절연막(140) 위에 반도체층(151, 154), 저항성 접촉층(161, 165)이 형성되어 있고, 저항성 접촉층(161, 165) 위에 데이터선(171a, 171b) 및 드레인 전극(175a, 175b)이 형성되어 있으며, 이들(171a, 171b, 175a, 175b)를 덮도록 보호막(180)이 형성되어 있고, 보호막(180) 위에 드레인 전극(175a, 175b)과 연결되는 화소 전극(190)이 형성되어 있다. 물론 도 1 및 도 2에서와 같이 색필터를 형성할 수 있다.
- 76> 하지만, 데이터선((171a, 171b) 및 드레인 전극(175a, 175b)이 저항성 접촉층(161, 165)과 동일한 평면 패턴을 가지고, 반도체층(151, 154)은 소스 전극(173a, 173b)과 드레인 전극(175a, 175b) 사이의 채널부가 연결되어 있는 것을 제외하고 저항성 접촉층(161, 165)과 동일한 평면 패턴을 가진다.
- 77> 그럼 도 8 및 도 9에 도시한 실시예에 따른 박막 트랜지스터 표시판의 제조 방법을 기 설명한 도 3a, 도 3b, 도 9 내지 도 13b를 참조하여 상세히 설명한다.

81> 이와 같이, 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 노광 마스크에 투명 영역(transparent area)과 차광 영역(light blocking area)뿐 아니라 반투명 영역(translucent area)을 두는 것이 그 예이다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을

사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 것이다. 즉, 투명 영역과 차광 영역만을 지닌 통상의 마스크로 리플로우 가능한 감광막 패턴을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성한다.

82> 적절한 공정 공정 조건을 주면 감광막 패턴(52, 54)의 두께 차 때문에 하부 층들을 선택적으로 식각할 수 있다. 따라서 일련의 식각 단계를 통하여 도 12a에 도시한 바와 같은 복수의 소스 전극(173a, 173b)을 각각 포함하는 복수의 데이터선(171) 및 복수의 드레인 전극(175a, 175b)을 형성하고 복수의 돌출부를 각각 포함하는 복수의 선형 저항성 접촉 부재(161) 및 복수의 선형 저항성 접촉 부재(165), 그리고 복수의 돌출부(154)를 포함하는 복수의 선형 반도체(151)를 형성한다.

83> 설명의 편의상, 배선이 형성될 부분에 위치한 도전체층(170), 불순물이 도핑된 비정질 규소층(160), 불순물이 도핑되지 않은 비정질 규소층(150)의 부분을 배선 부분(A)이라 하고, 채널이 형성되는 부분에 위치한 도전체층(170), 불순물 도핑된 비정질 규소층(160), 불순물이 도핑되지 않은 비정질 규소층(150)의 부분을 채널 부분(B)이라 하고, 채널 및 배선 부분을 제외한 영역에 위치하는 도전체층(170), 불순물이 도핑된 비정질 규소층(160), 불순물이 도핑되지 않은 비정질 규소층(150)의 부분을 기타 부분(C)이라 하자.

84> 이러한 구조를 형성하는 순서의 한 예는 다음과 같다.

85> 먼저, (1) 기타 부분(C)에 위치한 도전체층(170), 불순물 비정질 규소층(160) 및 비정질 규소층(150)을 제거, (2) 채널 부분(B)에 위치한 감광막(54) 제거, (3) 채널 부분(B)에 위치한 도전

<86> 그 외 방법으로는 (1) 기타 부분(C)에 위치한 도전체층(170) 제거, (2) 채널 부분(B)에 위치한 감광막(54) 제거, (3) 기타 부분(C)에 위치한 불순물 비정질 규소층(160) 및 비정질 규소층(150) 제거, (4) 채널 부분(B)에 위치한 도전체층 제거, (5) 배선 영역(A)에 위치한 감광막(52) 제거, 그리고 (6) 채널 부분(B)에 위치한 불순물 비정질 규소층(160)을 제거하는 순으로 진행할 수 도 있다.

38> 먼저 도 11에 도시한 것처럼, 기타 영역(C)에 노출되어 있는 도전체층(170)을 습식 식각 또는 건식 식각으로 제거하여 그 하부의 불순물이 도핑된 비정질 규소층(160)의 기타 부분(C)을 노출시킨다.

39> 다음으로 기타 부분(C)에 위치한 불순물이 도핑된 비정질 규소층(160) 및 그 하부의 불순물이 도핑되지 않은 비정질 규소층(150)을 제거함과 더불어, 채널 부분(B)의 감광막(54)을 제거하여 하부의 도전체(170)를 노출시킨다.

31-17

- <92> 여기서, 도전체층(170)이 건식 식각이 가능한 물질인 경우에는 그 하부의 불순물이 도핑된 비정질 규소층(160)과 불순물이 도핑되지 않은 비정질 규소층(150)을 연속하여 건식 식각함으로써 제조 공정을 단순화할 수 있으며, 이 경우에 동일한 식각 챔버에서 세 층(170, 160, 150)에 대한 건식 식각을 연속 수행하는 인 시튜(in-situ) 방법으로 행할 수도 있으며, 그렇지 않을 수도 있다.
- <93> 다음 도 12a 및 도 12b에 도시한 바와 같이, 채널 부분(B)에 위치한 도전체(174) 및 불순물이 도핑된 비정질 규소층(164)을 식각하여 제거한다. 또한, 남아 있는 배선 부분(A)의 감광막(52)도 제거한다.
- <94> 이때 채널 부분(B)에 위치한 불순물이 도핑되지 않은 비정질 규소층의 상부가 일부 제거되어 두께가 작아질 수도 있으며, 배선 부분(A)의 감광막(52)도 이때 어느 정도 식각될 수 있다.
- <95> 이렇게 하면, 도전체(174) 각각이 하나의 데이터선(171)과 복수의 드레인 전극(175a, 175b)으로 분리되면서 완성되고, 불순물이 도핑된 비정질 규소층(160)도 선형 저항성 접촉층(161)과 섬형 저항성 접촉층(165)으로 나뉘어 완성된다
- <96> 데이터선(171, 173a, 173b) 및 드레인 전극(175a, 175b)도 게이트선(121a, 121b, 124a, 124b)과 같이 테이퍼 형태로 형성하여 상부층과의 밀착성을 증가시킬 수 있다.
- <97> 다음, 도 13a 및 13b에 도시한 바와 같이 데이터선(171, 173a, 173b) 및 드레인 전극(175a, 175b)에 의해 가려지지 않는 반도체층(151)을 덮도록 질화 규소 또는 산화 규소를 적층하여 보호막(180)을 형성한다.

- <98> 이후 보호막(180)을 마스크를 이용한 사진 식각 공정으로 식각하여 드레인 전극(175a, 175b) 노출하는 접촉구(185a, 185b)와 데이터선(171)의 한쪽 끝부분(179)을 노출하는 접촉구(182)를 형성한다.
- <99> 이어, 도 8 및 도 9에 도시한 바와 같이, 기판(110)에 ITO 또는 IZO 등의 투명한 도전 물질을 증착하고, 마스크를 이용한 사진 식각 공정으로 식각하여 접촉구(182)를 통해 데이터선의 한쪽 끝부분(179)과 연결되는 접촉 보조 부재(82), 접촉구(185a, 185b)를 통해 드레인 전극(175a, 175b)과 연결되는 화소 전극(190a, 190b)을 형성한다.
- 100> 이상 설명한 본 발명의 실시예에서와 같이, 하나의 게이트선이 온 될 때 인접한 게이트선에 오프 신호를 인가하여 유지 축전기를 이루도록 형성함으로써, 별도의 유지 전극선 및 유지 전극을 형성하지 않으므로 화소 영역의 개구율이 증가된다.
- .01> 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

【발명의 효과】

- .02> 이상과 같은 구성을 통하여 화소의 개구율을 향상시킬 수 있으므로 고효도의 박막 트랜지스터 표시판을 제공할 수 있다.



【특허청구범위】

【청구항 1】

서로 이웃하는 화소 행에 게이트 신호를 전달하며, 서로 인접하여 배치되어 있는 제1 및 제2 게이트선,

상기 제1 및 제2 게이트선과 절연되어 교차하는 데이터선,

상기 제1 게이트선 및 데이터선과 연결되어 있으며, 상기 제2 게이트선과 중첩하는 제1 드레인 전극을 가지는 제1 박막 트랜지스터,

상기 제2 게이트선 및 데이터선과 연결되어 있으며, 상기 데이터선을 중심으로 상기 제1 박막 트랜지스터의 반대편에 형성되어 있고, 상기 제1 게이트선과 중첩하는 제2 드레인 전극을 가지는 제2 박막 트랜지스터,

상기 제1 드레인 전극과 연결되며 제2 게이트선과 중첩하는 제1 화소 전극,

상기 제2 드레인 전극과 연결되며 상기 제1 게이트선과 중첩하는 제2 화소 전극을 포함하는 박막 트랜지스터 표시판.

【청구항 2】

제1 항에서,

상기 데이터선과 상기 게이트선이 교차하여 정의하는 화소 영역에 형성되어 있는 적, 녹, 청색 색필터를 더 포함하는 박막 트랜지스터 표시판.

【청구항 3】

제1 항 또는 제2 항에서,

상기 제1 및 제2 박막 트랜지스터는 상기 제1 및 제2 게이트선과 각각 연결되어 있는 제1 및 제2 게이트 전극,

상기 제1 및 제2 게이트 전극과 각각 중첩하는 제1 및 제2 반도체층,

상기 데이터선과 연결되며 상기 제1 및 제2 반도체층과 적어도 일부분이 각각 중첩하는 제1 소스 전극 및 제2 소스 전극을 가지는 박막 트랜지스터 표시판.

【청구항 4】

제3 항에서,

상기 박막 트랜지스터와 상기 제1 및 제2 화소 전극 사이에 유기 물질로 형성되어 있는 보호막을 더 포함하는 박막 트랜지스터 표시판.

【청구항 5】

제1 항에서,

상기 제1 화소 전극은 상기 제1 게이트선과 중첩하지 않고, 상기 제2 화소 전극은 상기 제2 게이트선과 중첩하지 않는 박막 트랜지스터 표시판.

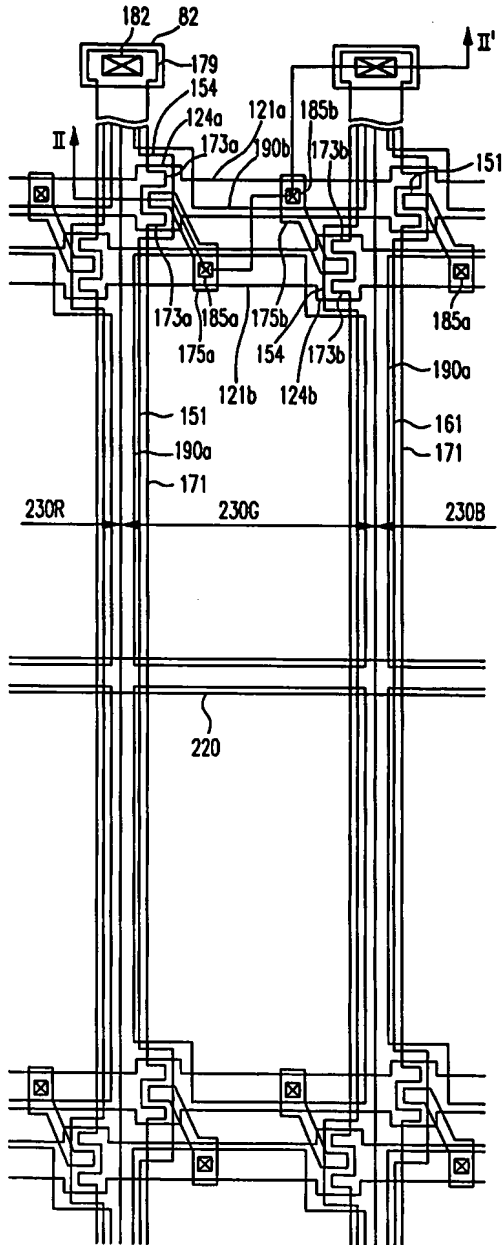
【청구항 6】

제4 항에서,

상기 제1 및 제2 화소 전극은 상기 데이터선과 중첩하여 형성되어 있는 박막 트랜지스터 표시판.

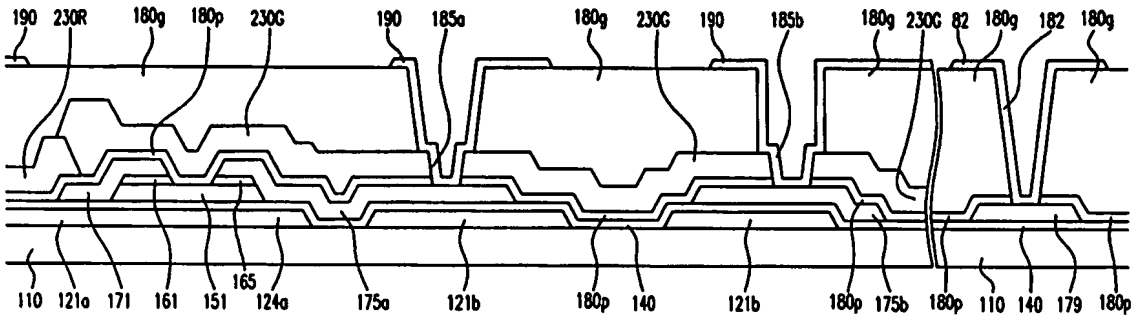
【도면】

【도 1】

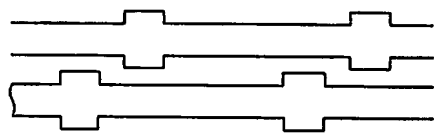
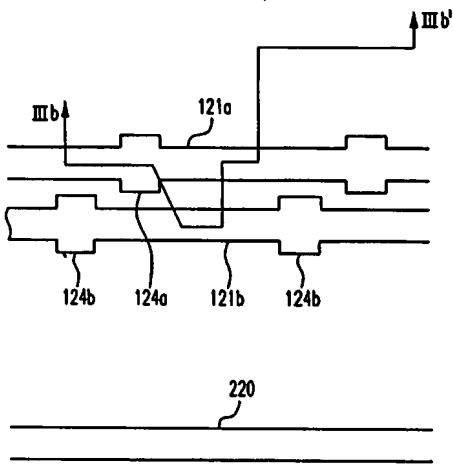




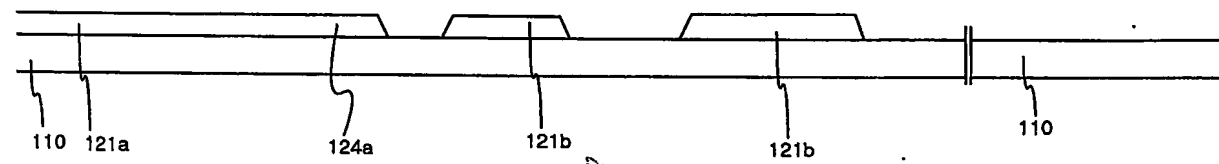
【도 2】



【도 3a】



【도 3b】

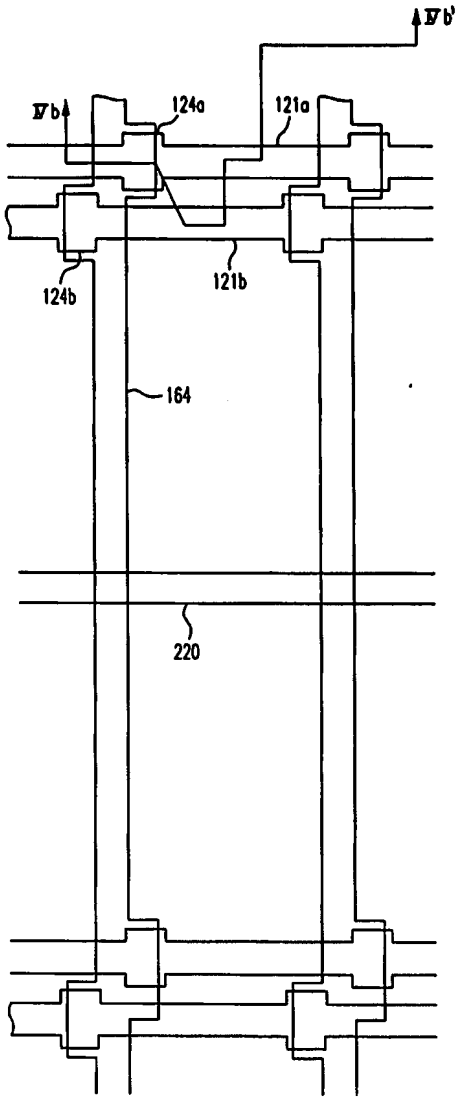




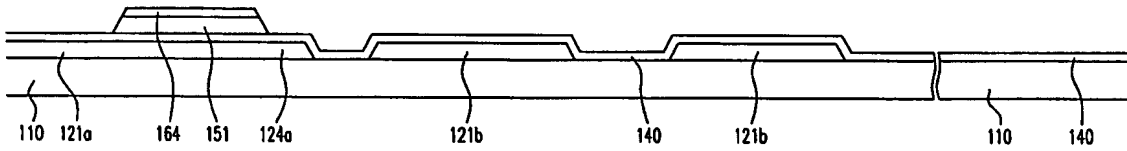
10-20030047756

출력 일자: 2004/7/8

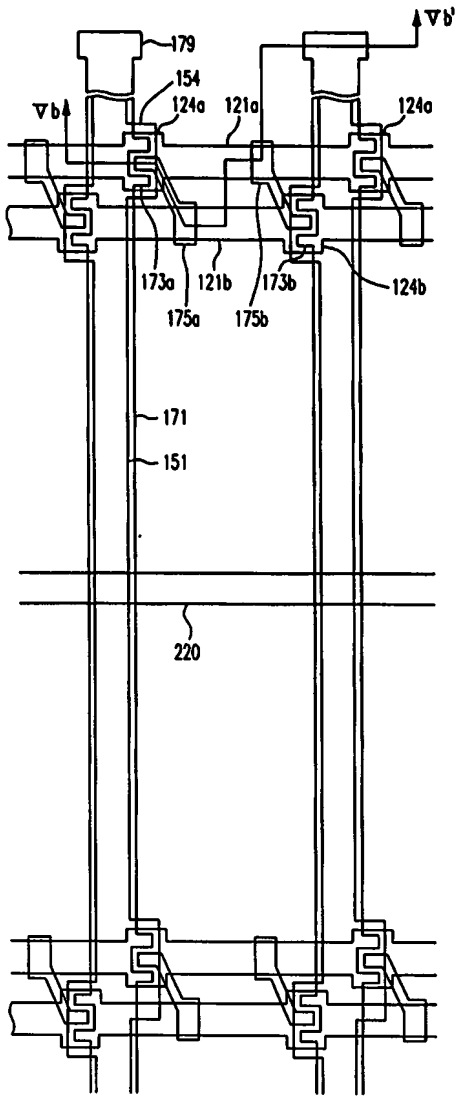
【도 4a】



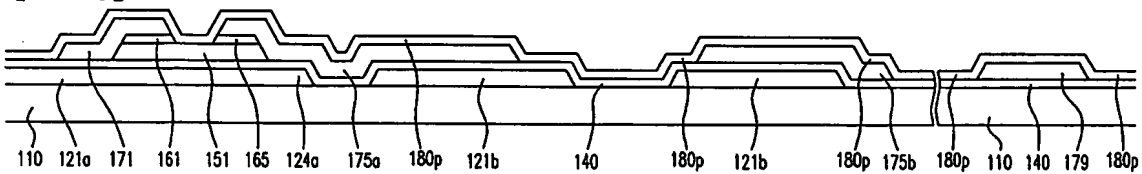
【도 4b】



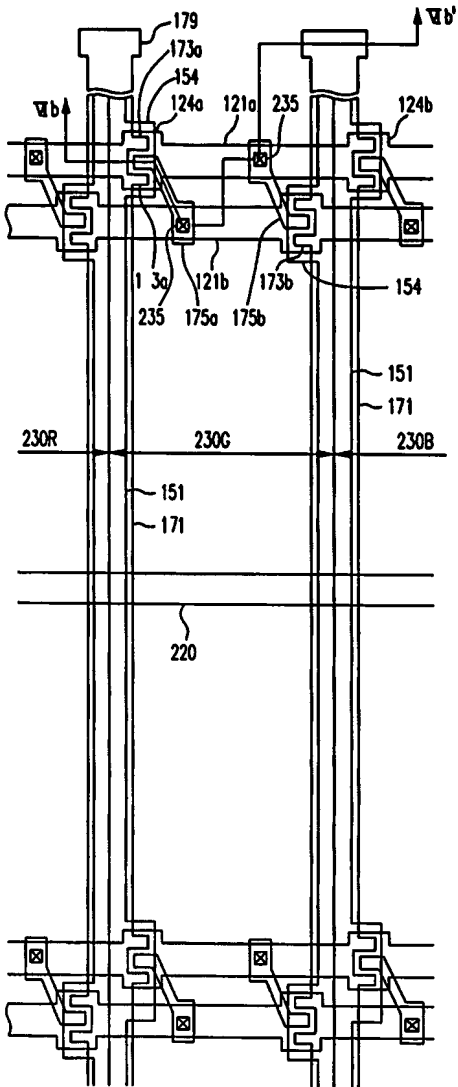
【도 5a】



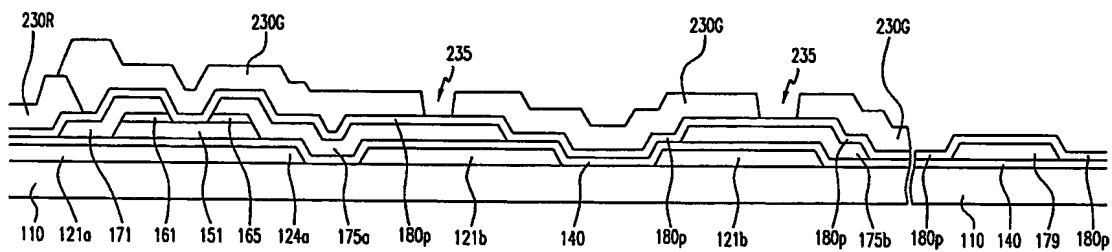
【도 5b】



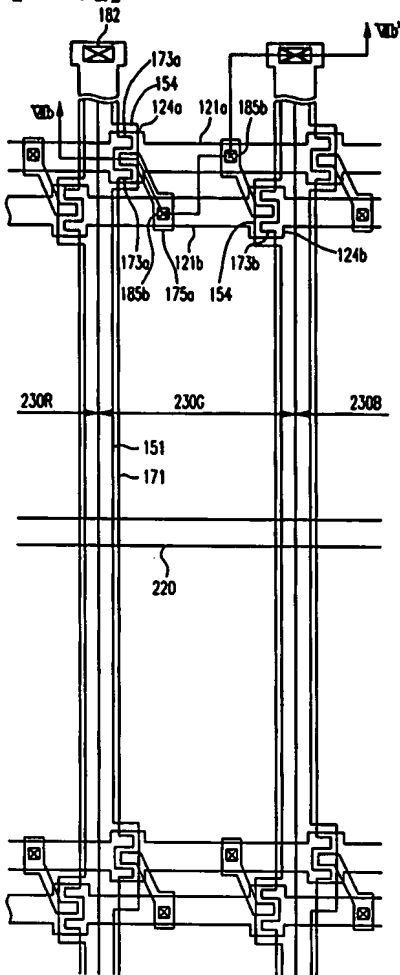
【도 6a】



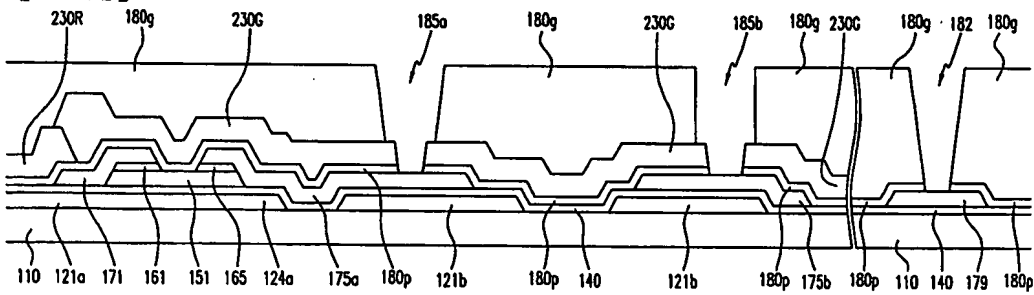
【도 6b】



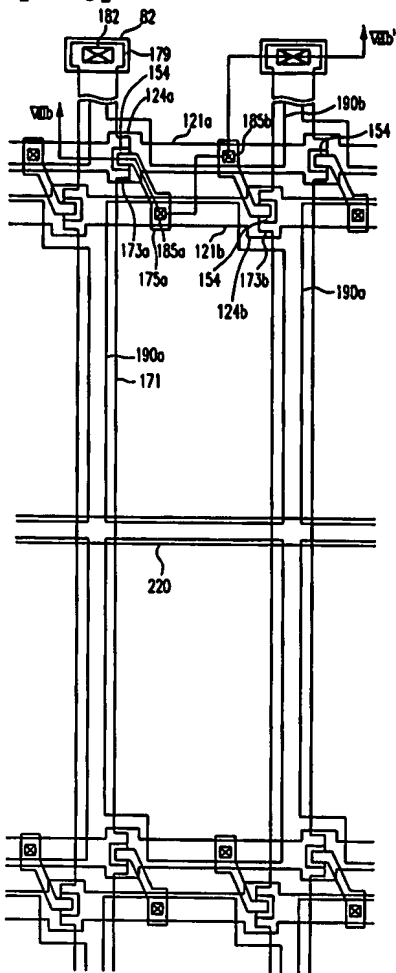
【도 7a】



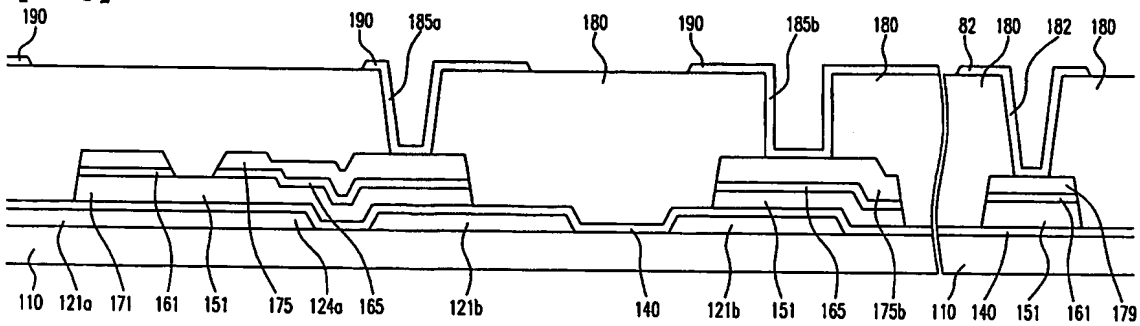
【도 7b】



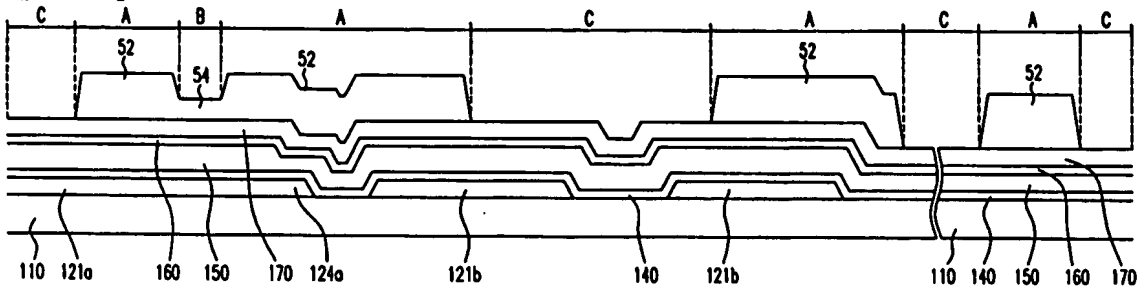
【도 8】



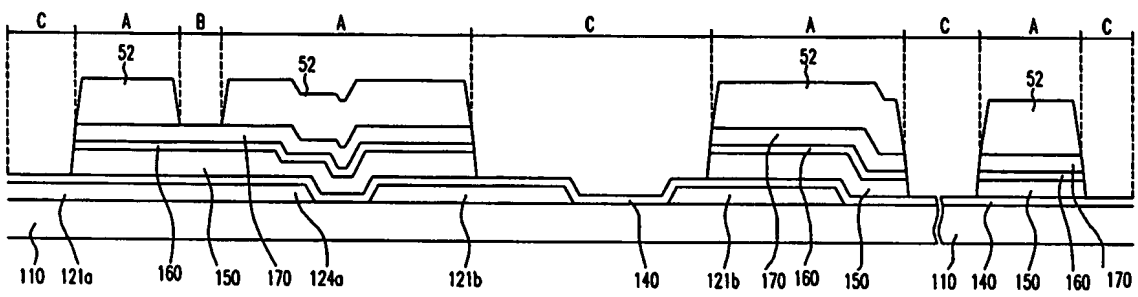
【도 9】



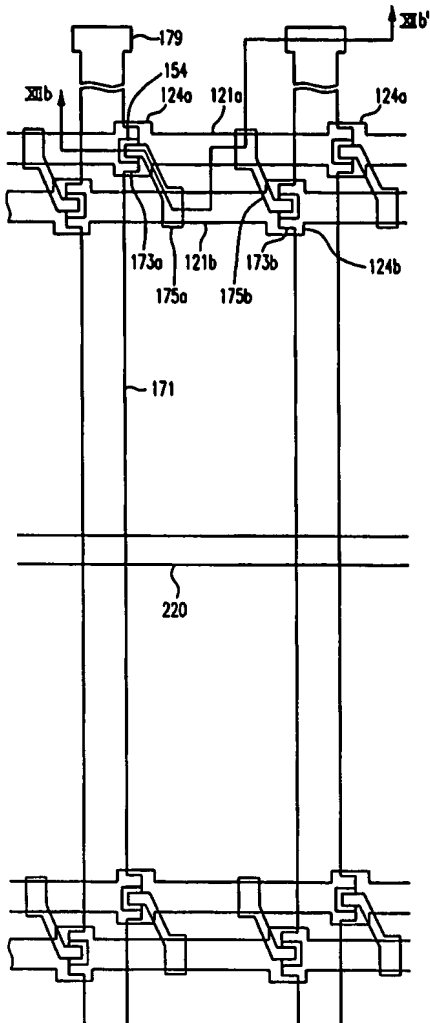
【도 10】



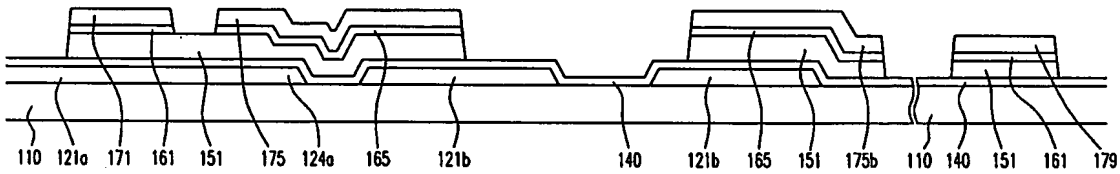
【도 11】



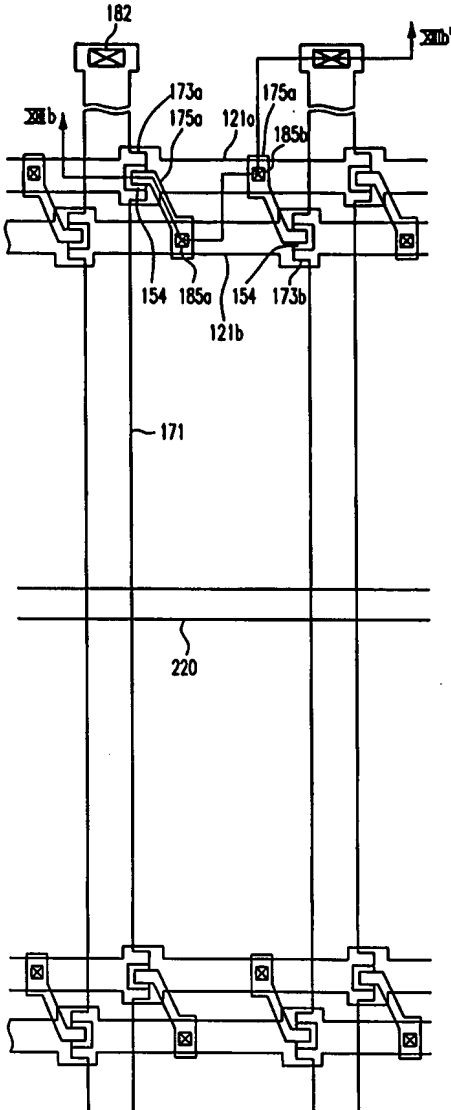
【도 12a】



【도 12b】



【도 13a】



【도 13b】

